

SANYO**三洋半導体開発ニュース**

No. N 6708

91400

暫定規格

LC867148A/40A/32A
28A/24A/20A
16A/12A/08A

CMOS LSI

ROM48/40/32/28/24/20/16/12/8K バイト

RAM1152/768/640/512 バイト内蔵

8ビット1チップマイクロコンピュータ**概要**

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A は、最小バスサイクルタイム 0.5 μ s で動作する CPU 部を核に、48K/40K/32K/28K/24K バイト ROM, 1152/768 バイト RAM, LCD コントローラ/ドライバ, 16 ビットタイマ \times 2 チャンネル(または8ビットタイマ \times 4チャンネル), 12 チャンネル \times 8ビット AD コンバータ, 4チャンネル \times 8ビット DA コンバータ(R-2R型), 2チャンネル \times 8ビット同期式シリアルインタフェース, 13要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

特長

ROM

- ・ 49152 \times 8ビット (LC867148A)
- ・ 40960 \times 8ビット (LC867140A)
- ・ 32768 \times 8ビット (LC867132A)
- ・ 28672 \times 8ビット (LC867128A)
- ・ 24576 \times 8ビット (LC867124A)
- ・ 20480 \times 8ビット (LC867120A)
- ・ 16384 \times 8ビット (LC867116A)
- ・ 12288 \times 8ビット (LC867112A)
- ・ 8192 \times 8ビット (LC867108A)

RAM

- ・ 1152 \times 8ビット (LC867148A/40A)
- ・ 768 \times 8ビット (LC867132A/28A/24A)
- ・ 640 \times 8ビット (LC867120A/16A)
- ・ 512 \times 8ビット (LC867112A/08A)

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

最小バスサイクルタイム

- ・ 0.5 μ s (6MHz 発振周波数(分周仕様 1/1)時)
- (注) バスサイクルタイムは ROM の読み出し速度を表します。

最小命令サイクルタイム

- ・ 1.0 μ s (6MHz 発振周波数時 , 分周仕様 1/1 時)

【注】 1 命令サイクルタイムに ROM を 2 回読み出す構成のために当社の 4 ビットマイコン (LC66000 シリーズ) に比較して同じ命令サイクルタイムでも約 1.7 倍に処理能力 (0.6 μ s 相当) を持ちます。

バスサイクルタイム	サイクルタイム	分周仕様	システムクロック発振源	発振周波数	電源電圧
0.5 μ s	1.0 μ s	1/1	セラミック (CF) 発振	6MHz	4.5 ~ 6.0V
2.0 μ s	4.0 μ s	1/2	セラミック (CF) 発振	3MHz	2.5 ~ 6.0V
7.5 μ s	15 μ s	1/2	内蔵 RC 発振	800kHz	2.5 ~ 6.0V
183 μ s	366 μ s	1/2	水晶 (X'tal) 発振	32.768kHz	2.5 ~ 6.0V

ポート

- ・ 入出力ポート 50 本 (ノーマルポート P0, P1, PA, PB, PC, PD, P9)
 - ・ P0 ニブル単位で入出力指定可能なポート 1 ポート (8 本)
(N チャネルオープンドレイン出力選択時には 1 ビット単位で入出力となる。)
 - ・ P1 ビット単位で入出力指定可能なポート 1 ポート (8 本)
 - ・ PA, PB, PC, PD (LCD 兼用ポート) 2 ビット単位で入出力指定可能なポート 4 ポート (30 本)
 - ・ P9 (DA 出力兼用ポート) ビット単位で入出力指定可能なポート 1 ポート (4 本)
- ・ 入力ポート 21 本 (P7, P8, PL)
- ・ LCD 制御ポート 34 本
 - セグメント出力ポート 30 本
 - コモン出力ポート 4 本

LCD コントローラ / ドライバ

- ・ 7 種類の表示モードを選択可能 (スタティック , 1/2, 1/3, 1/4 デューティ) と (1/2, 1/3 バイアス) の組み合わせ
- ・ セグメント出力 , コモン出力ポートは、汎用入出力ポートに切り換え可能

AD コンバータ

- ・ 12 チャンネル \times 8 ビット AD コンバータ

DA コンバータ

- ・ 4 チャンネル \times 8 ビット DA コンバータ

シリアルインタフェース

- ・ 1 チャンネル \times 16 ビットシリアルインタフェース (ソフト切換えにより、8 ビット転送可能)
- ・ LSB 先頭 / MSB 先頭切換え可能
- ・ 8 ビットボーレートジェネレータ内蔵
ただし、ボーレートジェネレータは 2 チャンネルシリアルインタフェースで共用

タイマ

- ・ タイマ 0
 - 16 ビットタイマ / カウンタ
 - 2 ビットプリスケラ + 8 ビットプログラマブルプリスケラ
 - モード 0 : プログラマブルプリスケラ付き 8 ビットタイマ \times 2 チャンネル
 - モード 1 : プログラマブルプリスケラ付き 8 ビットタイマ + 8 ビットカウンタ
 - モード 2 : プログラマブルプリスケラ付き 16 ビットタイマ
 - モード 3 : 16 ビットカウンタ
 - タイマの分解能は、tCYC 固定。

- ・ タイマ 1

- 16 ビットタイマ / PWM

- モード 0 : 8 ビットタイマ × 2 チャネル

- モード 1 : 8 ビットタイマ + 8 ビット PWM

- モード 2 : 16 ビットタイマ

- モード 3 : ビット幅可変 (9 ~ 16 ビット) PWM

- モード 0 , 1 の分解能は、tCYC 固定。

- モード 2 , 3 の分解能は、tCYC , 1/2tCYC のいずれかにプログラムで選択可能。

- ・ ベースタイマ

- 時計用 500ms オーバフロー信号発生機能 (32.768kHz 水晶発振選択時)

- 976μs , 3.9ms , 15.6ms , 62.5ms のうちいずれかの周期毎のオーバフロー信号発生機能
(32.768kHz 水晶発振選択時)

- ・ クロック選択機能

- 32.768kHz 水晶発振 , システムクロック , タイマ 0 のプログラマブルプリスケアラ出力

ブザー出力

- ・ 4KHz , 2KHz のブザー発生機能内蔵 (ベースタイマクロックに 32.768kHz 水晶発振を選択時)

リモコン受信回路 (P73/INT3/T0IN 端子と共用)

- ・ ノイズ除去機能
- ・ 極性切り換え機能

ウォッチドッグタイマ

- ・ RC 外付けによるウォッチドッグタイマ
- ・ 割り込み , リセットの選択可能

割り込み

- ・ 13 要因 10 ベクタ

- 外部割り込み INT0 (ウォッチドッグタイマを含む)

- 外部割り込み INT1

- 外部割り込み INT2 , タイマ / カウンタ T0L (下位 8 ビット)

- 外部割り込み INT3 , ベースタイマ

- タイマ / カウンタ T0H (上位 8 ビット)

- タイマ T1L , タイマ T1H

- シリアルインタフェース SI00

- シリアルインタフェース SI01

- AD コンバータ

- ・ ポート 0

割り込み優先レジスタ内蔵

割り込みは低レベル , 高レベル , 最高レベルの 3 レベルの多重割り込みが可能です。外部割り込み INT2 , タイマ / カウンタ T0L (下位 8 ビット) からポート 0 の 11 の割り込み要因は、割り込み優先レジスタにより、低レベルまたは高レベルの割り込み優先が指定できます。

また、外部割り込み INT0 , INT1 は、低レベルまたは最高レベルの割り込み優先が指定できます。

リアルタイムサービス機能内蔵

割り込み要求信号に同期して、特殊機能レジスタ間の 4 バイトのデータ転送を、割り込み要求信号の発生から 1 命令サイクルタイム以内に開始して、5 命令サイクルタイム以内に処理を終了する機能を内蔵しています。この処理は CPU 処理と並行して行われます。

サブルーチンスタックレベル

- ・最大 128 レベル（スタックは RAM の中に設定）

高速乗除算命令内蔵

- ・16 ビット × 8 ビット（実行時間：7 命令サイクルタイム）
- ・16 ビット ÷ 8 ビット（実行時間：7 命令サイクルタイム）

3 種類の発振回路

- ・RC 発振回路（内蔵）：システムクロック用
- ・CF 発振回路：システムクロック用
- ・水晶発振回路：時計用，システムクロック用

スタンバイ機能

- ・HALT モード

命令の実行を停止するモードであり、リセットまたは割り込みの発生により解除可能です。

- ・HOLD モード

CF 発振，RC 発振，水晶発振のいずれも停止するモードです。HOLD モードを解除するには、次の 3 つの方法があります。

- 1) リセット端子に「L」レベルを入力する。
- 2) P70/INT0 端子または P71/INT1 端子に指定されたレベルを入力する。
- 3) ポート 0 で割り込み要因が成立する。

出荷形態

- ・QFP80E

開発ツール

- ・エバチップ：LC866096
- ・EPROM 版：LC86E7148
- ・ワンタイム版：LC86P7148
- ・エミュレータ：EVA86000(本体) + ECB867000(エバチップボード) + POD867100(ポッド)

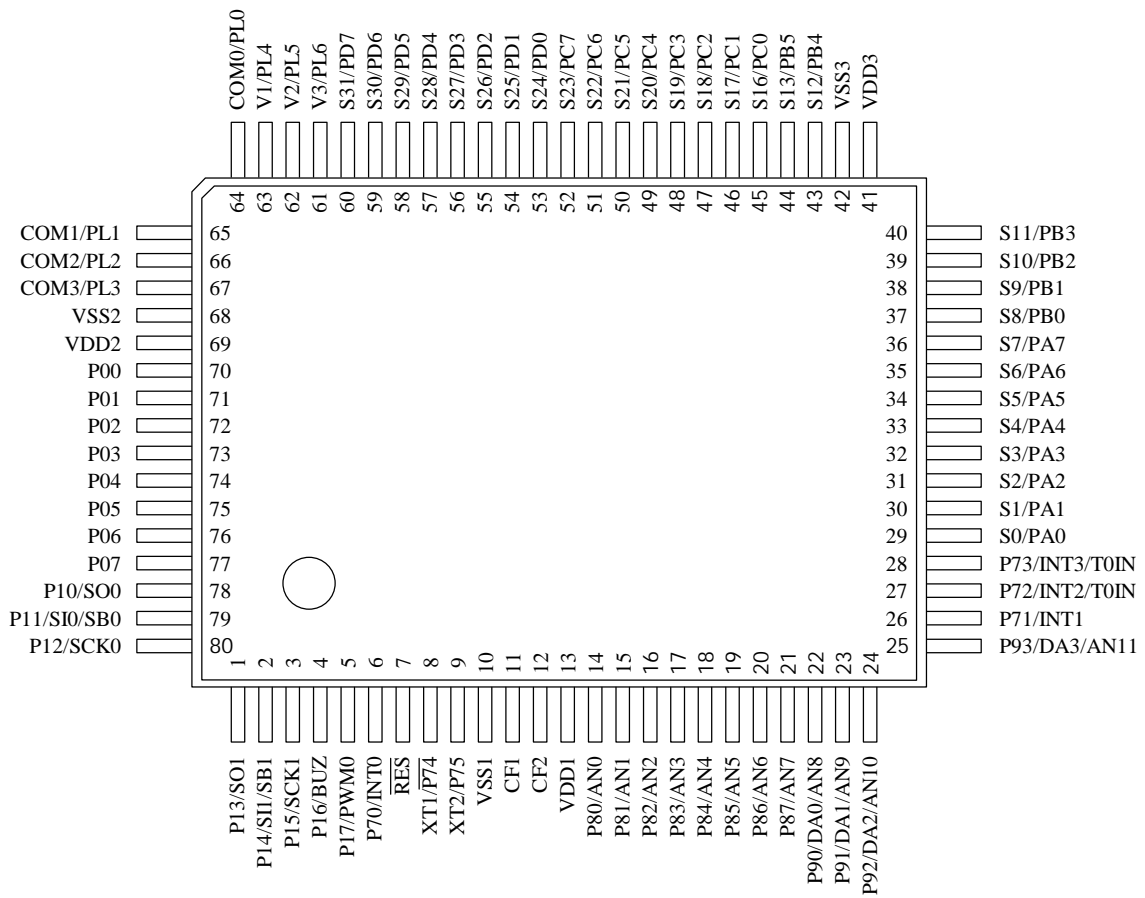
使用上の注意点

下表に示すシステムクロックの発振周波数範囲と、電源電圧範囲および分周仕様の関係に従って下さい。

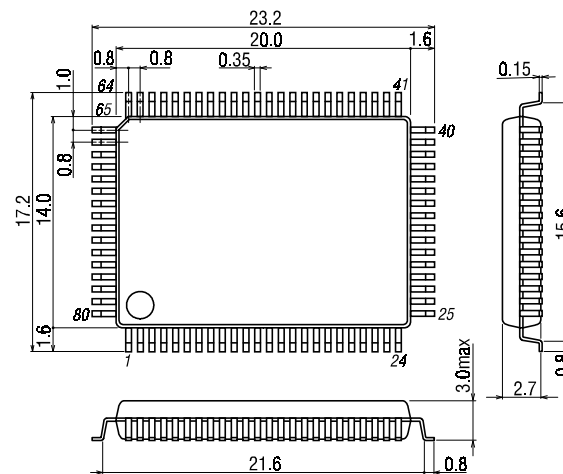
システムクロックの発振周波数範囲	電源電圧範囲	分周仕様	備考
15kHz ~ 30kHz	4.5V ~ 6.0V	1/1	1/2 分周不可
30kHz ~ 6MHz		1/1, 1/2	
15kHz ~ 30kHz	2.5V ~ 6.0V	1/1	1/2 分周不可
30kHz ~ 1.5MHz		1/1, 1/2	
1.5MHz ~ 3MHz		1/2	1/1 分周不可
内蔵 RC 発振	4.5V ~ 6.0V	1/1, 1/2	
	2.5V ~ 6.0V	1/2	1/1 分周不可

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

ピン配置図

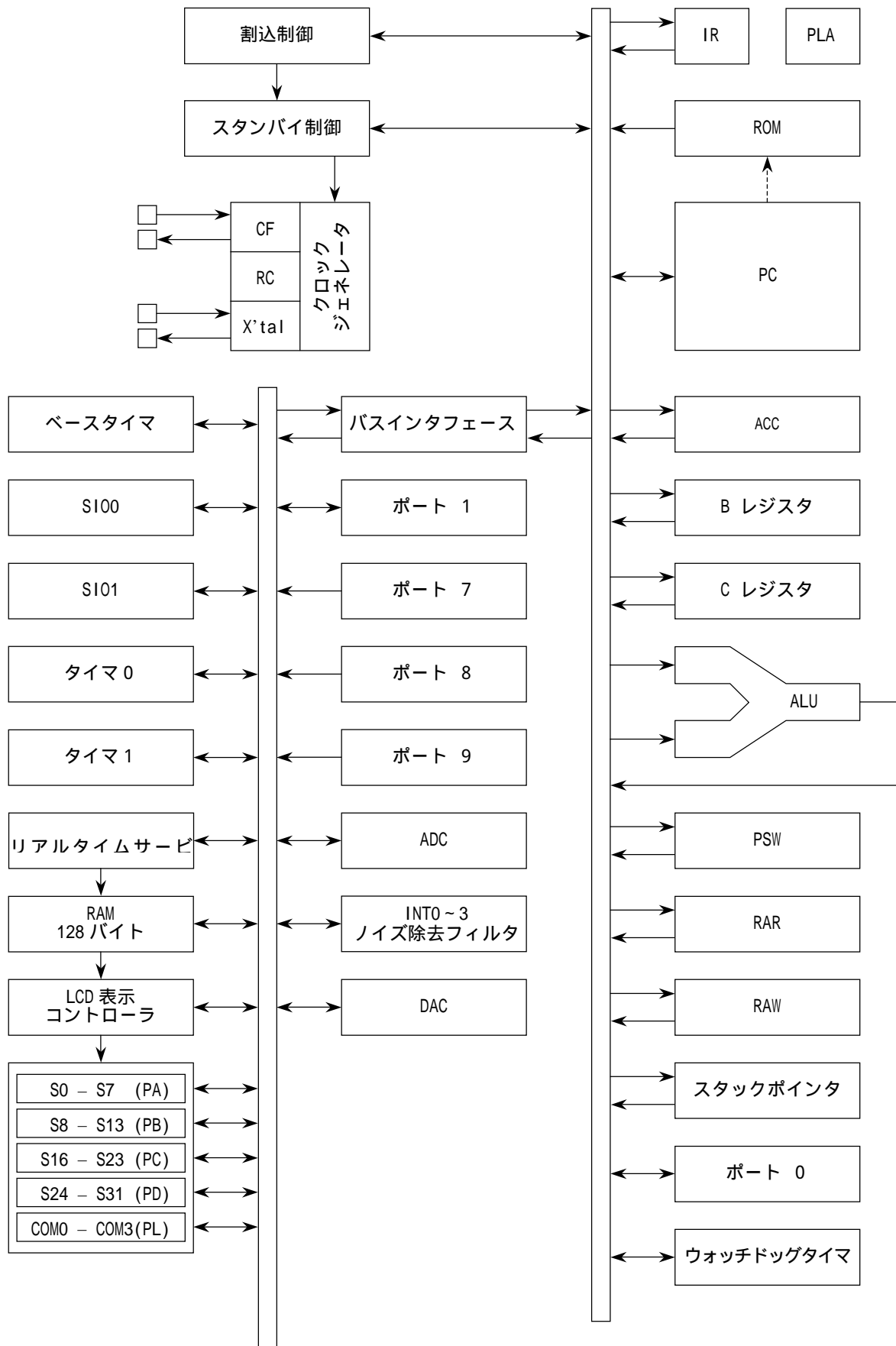


外形図 3174 (unit : mm)



SANYO : QIP80E

システムブロック図



LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

LC867100 シリーズ端子機能表

端子名	入出力	機能説明	オプション																																			
VSS1	-	電源の - 端子	-																																			
VSS2	-	電源の - 端子	-																																			
VSS3	-	電源の - 端子	-																																			
VDD1	-	電源の + 端子	-																																			
VDD2	-	電源の + 端子	-																																			
VDD3	-	電源の + 端子	-																																			
PORT0 P00 ~ P07	入出力	・ 8 ビットの入出力ポート ・ 4 ビット単位の入出力指定可能 ・ HOLD 解除入力 ・ ポート 0 割り込み入力	・ プルアップ抵抗 有 / 無 (4 ビット一括) ・ 出力形式 CMOS/N チャネルオープンドレイン (1 ビット単位)																																			
PORT1 P10 ~ P17	入出力	・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 兼用機能 P10 : SI00 データ出力 P11 : SI00 データ入力 / バス入出力 P12 : SI00 クロック入出力 P13 : SI01 データ出力 P14 : SI01 データ入力 / バス入出力 P15 : SI01 クロック入出力 P16 : BUZ 出力 P17 : タイマ 1 出力 (PWM 出力)	・ 出力形式 CMOS/N チャネルオープンドレイン (1 ビット単位)																																			
PORT7 P70 P71 ~ P73	入出力 入力	・ 6 ビットの入力ポート ・ 兼用機能 P70 : INT0 入力 / HOLD 解除入力 / ウォッチドッグタイマ用 Nch-Tr. 出力 P71 : INT1 入力 / HOLD 解除入力 P72 : INT2 入力 / タイマ 0 イベント入力 P73 : INT3 入力 (ノイズ除去フィルタ付入力) / タイマ 0 イベント入力 ・ インタラプト受付形式 , ベクタアドレス	・ プルアップ抵抗 有 / 無 (1 ビット単位) (P70, P71, P72, P73) * P74 , P75 には、プルアップ抵抗オプションはありません。																																			
P74 , P75	入力	<table><thead><tr><th></th><th>立ち上がり</th><th>立ち下がり</th><th>立ち上がり & 下がり</th><th>Hレベル</th><th>Lレベル</th><th>ベクタ</th></tr></thead><tbody><tr><td>INT0</td><td></td><td></td><td>×</td><td></td><td></td><td>03H</td></tr><tr><td>INT1</td><td></td><td></td><td>×</td><td></td><td></td><td>0BH</td></tr><tr><td>INT2</td><td></td><td></td><td></td><td>×</td><td>×</td><td>13H</td></tr><tr><td>INT3</td><td></td><td></td><td></td><td>×</td><td>×</td><td>1BH</td></tr></tbody></table> P74 : XT1 水晶発振用端子 P75 : XT2 水晶発振用端子		立ち上がり	立ち下がり	立ち上がり & 下がり	Hレベル	Lレベル	ベクタ	INT0			×			03H	INT1			×			0BH	INT2				×	×	13H	INT3				×	×	1BH	
	立ち上がり	立ち下がり	立ち上がり & 下がり	Hレベル	Lレベル	ベクタ																																
INT0			×			03H																																
INT1			×			0BH																																
INT2				×	×	13H																																
INT3				×	×	1BH																																
PORT8 P80 ~ P87	入力	・ 8 ビットの入力ポート ・ 兼用機能 AD 入力ポート (8 本)	-																																			
PORT9 P90 ~ P93	入出力	・ 4 ビットの入出力ポート ・ 兼用機能 DA 出力ポート (4 本) AD 入力ポート (4 本)	-																																			

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

端子名	入出力	機能説明	オプション
S0/PA0 ~ S7/PA7	入出力	・LCD 表示用セグメント出力端子 ・汎用入出力ポート (PA) として使用可能	-
S8/PB0 ~ S13/PB5	入出力	・LCD 表示用セグメント出力端子 ・汎用入出力ポート (PB) として使用可能	-
S16/PC0 ~ S23/PC7	入出力	・LCD 表示用セグメント出力端子 ・汎用入出力ポート (PC) として使用可能	-
S24/PD0 ~ S31/PD7	入出力	・LCD 表示用セグメント出力端子 ・汎用入出力ポート (PD) として使用可能	-
COM0/PL0 ~ COM3/PL3	入出力	・LCD 表示用コモン出力端子 ・汎用入力ポート (PL) として使用可能	-
V1/PL4 ~ V3/PL6	入力	・LCD 駆動用バイアス電源端子 ・汎用入力ポート (PL) として使用可能	-
RES	入力	リセット端子	-
XT1/ P74	入力	・32.768kHz 水晶発振子入力端子 使用しない時は VDD に接続 ・兼用機能 汎用入力ポート P74	-
XT2/P75	出力 (入力)	・32.768kHz 水晶発振子出力端子 使用しない時はオープン ・兼用機能 汎用入力ポート P75	-
CF1	入力	セラミック発振子入力端子	-
CF2	出力	セラミック発振子出力端子	-

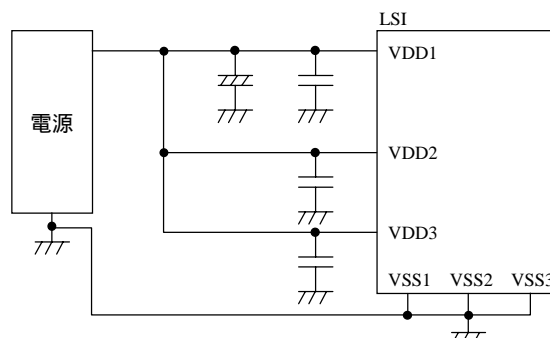
* ポートのオプションは、ポート 0 のプルアップ抵抗 (4 ビット一括) を除いて、ビット単位で指定可能です。

* リセット時のポートの状態

端子名	入出力モード	プルアップオプション有指定時のプルアップ抵抗の状態
ポート 0	入力	固定プルアップ抵抗 OFF
ポート 1	入力	プログラマブルプルアップ抵抗 OFF
ポート 3	入力	プログラマブルプルアップ抵抗 OFF
ポート 70, 71, 72, 73	入力	固定プルアップ抵抗 OFF
XT1/ P74 ,XT2/P75	入力	汎用入力ポート P74 ,P75 としての機能。 水晶発振用として使用する場合にはレジスタ設定が必要

端子名	入出力モード
ポート A,B,C,D	出力 OFF

- 【注意】
- ・ VDD1, VDD2, VDD3 端子を必ず電氣的にショートして下さい。
 - ・ VSS1, VSS2, VSS3 端子を必ず電氣的にショートして下さい。
 - * VDD 端子に入るノイズを小さくするために、次のように接続してください。



LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

1. 絶対最大定格 / Ta=25 , VSS=VSS1=VSS2=VSS3=0V

項目		記号	適用端子・備考	条件	規格				unit
					VDD[V]	min.	typ.	max.	
最大電源電圧		VDDMAX	VDD, VDD2, VDD3	VDD1=VDD2=VDD3		-0.3	~	+7.0	V
LCD 用電源電圧		VLCD	V1/PL6, V2/PL5, V3/PL4	VDD1=VDD2=VDD3		-0.3	~	VDD	
入力電圧		VI	・ホ [°] -ト71, 72, 73 ・ホ [°] -ト74, 75 ・ホ [°] -ト8, ホ [°] -トL ・RES			-0.3	~	VDD+0.3	
入出力電圧		VIO	・ホ [°] -ト0, 1 ・ホ [°] -ト9 ・ホ [°] -トA, B, C, D			-0.3	~	VDD+0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ホ [°] -ト0, 1	・CMOS 出力 ・適用 1 端子当り		-4			mA
		IOPH(2)	ホ [°] -トA, B, C, D			-4			
		IOPH(3)	ホ [°] -ト9			-4			
	合計出力電流	IOAH(1)	ホ [°] -ト0, 1	適用全端子合計		-30			
		IOAH(2)	ホ [°] -トA, B	適用全端子合計		-20			
		IOAH(3)	ホ [°] -トC, D	適用全端子合計		-20			
		IOAH(4)	ホ [°] -ト9	適用全端子合計		-20			
	低レベル出力電流	ピーク出力電流	IOPL(1)	ホ [°] -ト0, 1	適用 1 端子当り				20
IOPL(2)			ホ [°] -トA, B, C, D	適用 1 端子当り				20	
IOPL(3)			ホ [°] -ト9	適用 1 端子当り				20	
IOPL(4)			ホ [°] -ト70	適用 1 端子当り				15	
合計出力電流		IOAL(1)	ホ [°] -ト0, 1	適用全端子合計				40	
		IOAL(2)	ホ [°] -トA, B	適用全端子合計				30	
		IOAL(3)	ホ [°] -トC, D	適用全端子合計				30	
		IOAL(4)	ホ [°] -ト9	適用全端子合計				15	
		IOAL(5)	ホ [°] -ト70	適用全端子合計				10	
許容消費電力		Pdmax	QFP80E	Ta=-30 ~ +70				515	mW
動作周囲温度		Topr				-30	~	+70	
保存周囲温度		Tstg				-65	~	+150	

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

2. 許容動作範囲 / Ta=-30 ~ +70 , VSS=VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD [V]	min.	typ.	max.	unit
動作電源電圧	VDD(1)	VDD1=VDD2=VDD3	0.98 μ s tCYC 400 μ s		4.5		6.0	V
	VDD(2)		3.9 μ s tCYC 400 μ s		2.5		6.0	
メモリ保持電源電圧	VHD	VDD1=VDD2=VDD3	・HOLD モード時 ・RAM, レジスタ保持		2.0		6.0	
高レベル入力電圧	VIH(1)	ポート0	出力ディセーブル	2.5 ~ 6.0	0.4VDD +0.9		VDD	
	VIH(2)	・ポート1,9 ・ポートA,B,C,D ・ポート72,73 (シュミット)	出力ディセーブル	2.5 ~ 6.0	0.75VDD		VDD	
	VIH(3)	・ポート70 ポート入力/ 割り込み側 ・ポート71 ・RES (シュミット)	出力 Nch Tr. オフ	2.5 ~ 6.0	0.75VDD		VDD	
	VIH(4)	ポート70 ウォッチドッグタイマ側	出力 Nch Tr. オフ	2.5 ~ 6.0	0.9VDD		VDD	
	VIH(5)	・ポート8 ・ポート74,75	ポート仕様時	2.5 ~ 6.0	0.75VDD		VDD	
	VIH(6)	ポート76	ポート仕様時	2.5 ~ 6.0	0.75VDD		VDD	
低レベル入力電圧	VIL(1)	ポート0	出力ディセーブル	2.5 ~ 6.0	VSS		0.2VDD	
	VIL(2)	・ポート1,9 ・ポートA,B,C,D ・ポート72,73 (シュミット)	出力ディセーブル	2.5 ~ 6.0	VSS		0.25VDD	
	VIL(3)	・ポート70 ポート入力/ 割り込み側 ・ポート71 ・RES (シュミット)	出力 Nch Tr. オフ	2.5 ~ 6.0	VSS		0.25VDD	
	VIL(4)	ポート70 ウォッチドッグタイマ側	出力 Nch Tr. オフ	2.5 ~ 6.0	VSS		0.8VDD -1.0	
	VIL(5)	・ポート8 ・ポート74,75	ポート仕様時	2.5 ~ 6.0	VSS		0.25VDD	
	VIL(6)	ポート76	ポート仕様時	2.5 ~ 6.0	VSS		0.25VDD	
命令サイクルタイム	tCYC			4.5 ~ 6.0	0.98		400	μ s
				2.5 ~ 6.0	3.9		400	
発振周波数範囲 (注1)	FmCF(1)	CF1,CF2	6MHz セラミック発振時 図1 参照	4.5 ~ 6.0	5.88	6	6.12	MHz
	FmCF(2)	CF1,CF2	3MHz セラミック発振時 図1 参照	2.5 ~ 6.0	2.94	3	3.06	
	FmRC		内蔵 RC 発振	2.5 ~ 6.0	0.3	0.8	3.0	
	FmXtal	XT1,XT2	32.768kHz 水晶発振時 図2 参照	2.5 ~ 6.0		32.768		kHz
発振安定時間 (注1)	tmsCF(1)	CF1,CF2	6MHz セラミック発振時 図3 参照	4.5 ~ 6.0		0.05	0.5	ms
	tmsCF(2)	CF1,CF2	3MHz セラミック発振時 図3 参照	4.5 ~ 6.0		0.10	1.00	
				2.5 ~ 6.0		0.10	3.00	
	tssXtal	XT1,XT2	32.768kHz 水晶発振時 図3 参照	4.5 ~ 6.0		1.00		s
				2.5 ~ 6.0		1.00		

(注1) 発振定数は表1, 2 参照のこと。

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

3 . 電氣的特性 / Ta=-30 ~ +70 , VSS=VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
高レベル入力電流	IIH(1)	・ポート1 ・プリアップ MOS Tr. 無しのポート0	・出力ディセーブル ・プリアップ MOS Tr. オフ ・VIN=VDD (出力 Tr. のオアーク電流を含む)	2.5 ~ 6.0			1	μA
	IIH(2)	・プリアップ MOS Tr. 無しのポート7 ・ポート8	VIN=VDD	2.5 ~ 6.0			1	
	IIH(3)	ポート9	VIN=VDD	2.5 ~ 6.0			1	
	IIH(4)	ポートA,B,C,D,L	VIN=VDD	2.5 ~ 6.0			1	
	IIH(5)	RES	VIN=VDD	2.5 ~ 6.0			1	
	IIH(6)	ポート74,75	・ポート仕様時 ・VIN=VDD	2.5 ~ 6.0			1	
低レベル入力電流	IIL(1)	・ポート1 ・プリアップ MOS Tr. 無しのポート0	・出力ディセーブル ・プリアップ MOS Tr. オフ ・VIN=VSS (出力 Tr. のオアーク電流を含む)	2.5 ~ 6.0	-1			
	IIL(2)	・プリアップ MOS Tr. 無しのポート7 ・ポート8	VIN=VSS	2.5 ~ 6.0	-1			
	IIL(3)	ポート9	VIN=VSS	2.5 ~ 6.0	-1			
	IIL(4)	ポートA,B,C,D,L	VIN=VSS	2.5 ~ 6.0	-1			
	IIL(5)	RES	VIN=VSS	2.5 ~ 6.0	-1			
	IIL(6)	ポート74,75	・ポート仕様時 ・VIN=VSS	2.5 ~ 6.0	-1			
高レベル出力電圧	VOH(1)	CMOS 出力の	IOH=-1.0mA	4.5 ~ 6.0	VDD-1			V
	VOH(2)	ポート0,1	IOH=-0.1mA	2.5 ~ 6.0	VDD-0.5			
	VOH(3)	・CMOS 出力の	IOH=-1.0mA	4.5 ~ 6.0	VDD-1			
	VOH(4)	ポート9 ・汎用 CMOS 出力の ポートA,B,C,D	IOH=-0.1mA	2.5 ~ 6.0	VDD-0.5			
低レベル出力電圧	VOL(1)	ポート0,1	IOI=10mA	4.5 ~ 6.0			1.5	
	VOL(2)		IOI=1.6mA	4.5 ~ 6.0			0.4	
	VOL(3)		・IOI=1mA ・全端子の1本当たりの IOI は 1mA 以下の時	2.5 ~ 6.0			0.4	
	VOL(4)	ポート70	IOI=1mA	4.5 ~ 6.0			0.4	
	VOL(5)		IOI=0.5mA	2.5 ~ 6.0			0.4	
	VOL(6)	ポート9	IOI=6mA	4.5 ~ 6.0			1.5	
	VOL(7)		IOI=1.2mA	4.5 ~ 6.0			0.4	
	VOL(8)		・IOI=1mA ・全端子の1本当たりの IOI は 1mA 以下の時	2.5 ~ 6.0			0.4	
	VOL(9)	汎用 CMOS 出力の	IOI=8mA	4.5 ~ 6.0			1.5	
	VOL(10)	ポートA,B,C,D	IOI=1.6mA	4.5 ~ 6.0			0.4	
	VOL(11)		・IOI=1mA ・全端子の1本当たりの IOI は 1mA 以下の時	2.5 ~ 6.0			0.4	

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
LCD 出力電圧 偏差	VODLS	S0 ~ S13, S16 ~ S31	理想値に対する電圧差 VLCD, 2/3VLCD, 1/3VLCD	4.5 ~ 6.0	0		±0.2	V
				2.5 ~ 6.0	0		±0.2	
	VODLC	COM0 ~ COM3	理想値に対する電圧差 VLCD, 2/3VLCD, 1/2VLCD, 1/3VLCD	4.5 ~ 6.0	0		±0.2	
				2.5 ~ 6.0	0		±0.2	
LCD バイアス 抵抗	RLCD(1)		バイアス抵抗 1 段当 たりの抵抗値	4.5 ~ 6.0		60		KΩ
				2.5 ~ 6.0		60		
	RLCD(2)		・バイアス抵抗 1 段当 たりの抵抗値 ・分割抵抗 1/2 モード	4.5 ~ 6.0		30		
				2.5 ~ 6.0		30		
ブルーアップ MOS Tr. 抵抗	Rpu	・ボート 0, 1 ・ボート A, B, C, D ・ボート 70, 71, 72, 73	VOH=0.9VDD	4.5 ~ 6.0	15	40	70	
				2.5 ~ 4.5	25	70	150	
ヒステリシス 電圧	VHIS	・ボート 0, 1 ・ボート 70, 71, 72, 73 ・RES	出力ディセーブル	2.5 ~ 6.0		0.1VDD		V
端子容量	CP	全端子	・f=1MHz ・被測定端子以外は、 VIN=VSS ・Ta=25	2.5 ~ 6.0		10		pF

4. シリアル入出力特性 / Ta=-30 ~ +70 , VSS=VSS1=VSS2=VSS3=0V

項目			記号	適用端子・備考	条件	規格				
						VDD[V]	min.	typ.	max.	unit
シリアルクロック	入力クロック	周期	tCKCY(1)	SCK0,SCK1	図 5 参照	2.5 ~ 6.0	2			tCYC
		低レベルパルス幅	tCKL(1)			2.5 ~ 6.0	1			
		高レベルパルス幅	tCKH(1)			2.5 ~ 6.0	1			
	出力クロック	周期	tCKCY(2)	SCK0,SCK1	・オプ°ンド°レイン出力時は、1kΩのプルアップ抵抗を外付けする。 ・図 5 参照	2.5 ~ 6.0	2			
		低レベルパルス幅	tCKL(2)			2.5 ~ 6.0		1/2tCKCY		
		高レベルパルス幅	tCKH(2)			2.5 ~ 6.0		1/2tCKCY		
シリアル入力	データセットアップ時間	tICK	・S10,S11 ・SB0,SB1	・SCK0,SCK1 の立ち上がりに対して規定する。 ・図 5 参照	4.5 ~ 6.0	0.1			μs	
	データホールド時間	tCKI			2.5 ~ 6.0	0.4				
						4.5 ~ 6.0	0.1			
						2.5 ~ 6.0	0.4			
シリアル出力	シリアルクロックが外部クロック時の出力遅延時間	tCKO(1)	・S00,S01 ・SB0,SB1	・SCK0,SCK1 の立ち下がりに対して規定する。 ・オプ°ンド°レイン出力時は、1kΩのプルアップ抵抗を外付けする。 ・図 5 参照	4.5 ~ 6.0			7/12tCYC +0.2		
					2.5 ~ 6.0			7/12tCYC +1		
	シリアルクロックが内部クロック時の出力遅延時間	tCKO(2)	・S00,S01 ・SB0,SB1	・SCK0,SCK1 の立ち下がりに対して規定する。 ・オプ°ンド°レイン出力時は、1kΩのプルアップ抵抗を外付けする。 ・図 5 参照	4.5 ~ 6.0			1/3tCYC +0.2		
					2.5 ~ 6.0			1/3tCYC +1		

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

5 . パルス入力条件 / $T_a = -30 \sim +70$, $V_{SS} = V_{SS1} = V_{SS2} = V_{SS3} = 0V$

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	・INT0, INT1 ・INT2/T0IN	・割り込み要因フラグを セットできる。 ・タイマ/カウンタ0が パルスカウントできる。	2.5 ~ 6.0	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタの 時定数が 1/1 の 場合の INT3/T0IN	・割り込み要因フラグを セットできる。 ・タイマ/カウンタ0が パルスカウントできる。	2.5 ~ 6.0	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタの 時定数が 1/16 の場合の INT3/T0IN	・割り込み要因フラグを セットできる。 ・タイマ/カウンタ0が パルスカウントできる。	2.5 ~ 6.0	32			
	tPIH(4) tPIL(4)	ノイズ除去フィルタの 時定数が 1/64 の場合の INT3/T0IN	・割り込み要因フラグを セットできる。 ・タイマ/カウンタ0が パルスカウントできる。	2.5 ~ 6.0	128			
	tPIL(5)	RES	リセットできる。	2.5 ~ 6.0	200			μs

6 . A/D変換特性 / $T_a = -30 \sim +70$, $V_{SS} = V_{SS1} = V_{SS2} = V_{SS3} = 0V$

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
分解能	NAD			4.5 ~ 6.0		8		bit
絶対精度	ETAD		(注2)				± 1.5	LSB
変換時間	tCAD		AD変換時間 = $16 \times t_{CYC}$ (ADCR2=0の時) (注3)		15.68 ($t_{CYC} = 0.98\mu s$)		65.28 ($t_{CYC} = 4.08\mu s$)	μs
			AD変換時間 = $32 \times t_{CYC}$ (ADCR2=1の時) (注3)		31.36 ($t_{CYC} = 0.98\mu s$)		130.56 ($t_{CYC} = 4.08\mu s$)	
アナログ入力 電圧範囲	VAIN	AN0 ~ AN11			VSS		VDD	V
アナログポート 入力電流	IAINH		VAIN = VDD				1	μA
	IAINL		VAIN = VSS		-1			

(注2) 絶対精度は量子化誤差 ($\pm 1/2LSB$) を除く。

(注3) 変換時間は、変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

7 . D/A変換特性 / $T_a = -30 \sim +70$, $V_{SS} = V_{SS1} = V_{SS2} = V_{SS3} = 0V$

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
分解能	NDA			4.5 ~ 6.0		8		bit
総合誤差			8 bit モード				1.0	%
			9 bit モード				0.8	
			9.5 bit モード				0.7	
セトリング時間	tSDA		(注4)				0.5	μs
アナログ出力 電圧範囲	VAOUT	DA0 ~ DA3	8 bit モード		VSS		VDD	V
			9 bit モード(1)		VSS		1/2VDD	
			9 bit モード(2)		1/2VDD		VDD	
			9.5 bit モード		1/3VDD		2/3VDD	
出力抵抗	RODA		(注5)			4		K Ω

(注4) セトリング時間は、変換をスタートさせる命令が出てからデジタル変換値に対するアナログ値がポートに出力されるまでの時間を言う。

(注5) DA データ=80H

LC867148A/40A/32A/28A/24A/20A/16A/12A/08A

8 . 消費電流特性 / Ta=-30 ~ +70 , VSS=VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					min.	typ.	max.	unit
通常動作時 消費電流 (注 6)	IDDOP(1)	VDD1=VDD2=VDD3	・FmCF=6MHz セラミック発振時 ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 6MHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時	4.5 ~ 6.0		10	20	mA
	IDDOP(2)		・FmCF=3MHz セラミック発振時 ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 3MHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		3	11	
	IDDOP(3)		・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振 ・1/2 分周時	2.5 ~ 4.5		1.5	6	
	IDDOP(4)		・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		0.7	2.3	
	IDDOP(5)		・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	2.5 ~ 4.5		0.4	1.6	
	IDDOP(6)		・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		35	130	μA
	IDDOP(7)		・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	2.5 ~ 4.5		15	70	
HALT モード 消費電流 (注 6)	IDDHALT(1)	VDD1=VDD2=VDD3	・HALT モード ・FmCF=6MHz セラミック発振時 ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 6MHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時	4.5 ~ 6.0		5	11	mA
	IDDHALT(2)		・HALT モード ・FmCF=3MHz セラミック発振時 ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 3MHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		2.2	9	
	IDDHALT(3)		・HALT モード ・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	2.5 ~ 4.5		0.8	5	
	IDDHALT(4)		・HALT モード ・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		400	1100	μA
	IDDHALT(5)		・HALT モード ・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	2.5 ~ 4.5		200	700	
	IDDHALT(6)		・HALT モード ・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	4.5 ~ 6.0		25	100	
	IDDHALT(7)		・HALT モード ・FmCF=0Hz (発振停止) ・FsX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/2 分周時	2.5 ~ 4.5		8	55	
HOLD モード 消費電流 (注 6)	IDDHOLD(1)	VDD1=VDD2=VDD3	・HOLD モード	4.5 ~ 6.0		0.05	30	
	IDDHOLD(2)		・HOLD モード	2.5 ~ 4.5		0.02	20	

(注 6) 消費電流は出力 Tr.およびプルアップ MOS Tr.に流れる電流を含まない。

表 1 セラミック発振保証定数 (メインクロック)

発振の種類	メーカー	発振子	C1	C2
8MHz セラミック発振				
7MHz セラミック発振				
6MHz セラミック発振	ムラタ	CSA6.00MG	33pF	33pF
		CST6.00MGW	内蔵	
	京セラ	KBR-6.0MSA	33pF	33pF
		PBRC6.00A (チップタイプ)	33pF	33pF
		KBR-6.0MKS	内蔵	
		PBRC6.00B (チップタイプ)		
3MHz セラミック発振	ムラタ	CSA3.00MG	33pF	33pF
		CST3.00MGW	内蔵	
	京セラ	KBR-3.0MS	47pF	47pF

C1, C2 は K 公差 (±10%), SL 特性を使用すること。

表 2 水晶発振保証定数 (サブクロック)

発振の種類	メーカー	発振子	C3	C4	Rd
32.768kHz 水晶発振	大真空	1TA252E00	18pF	22pF	330kΩ

C3, C4 は J 公差 (±5%), CH 特性を使用すること。

(高精度を必要としないものについては、K 公差 (±10%), SL 特性を使用すること。)

- (注意) ・回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。
- ・上記以外の発振子を用いた場合には、特性を保証できない。

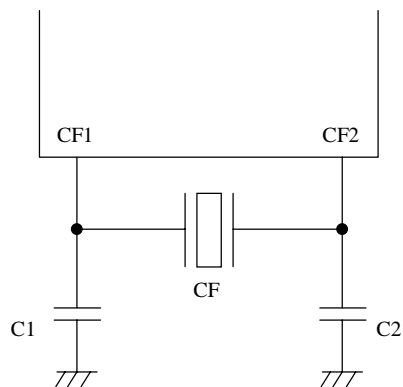


図 1 セラミック発振回路

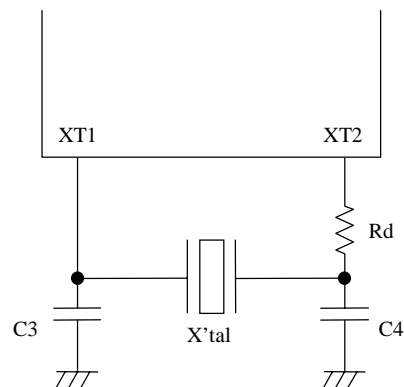


図 2 水晶発振回路

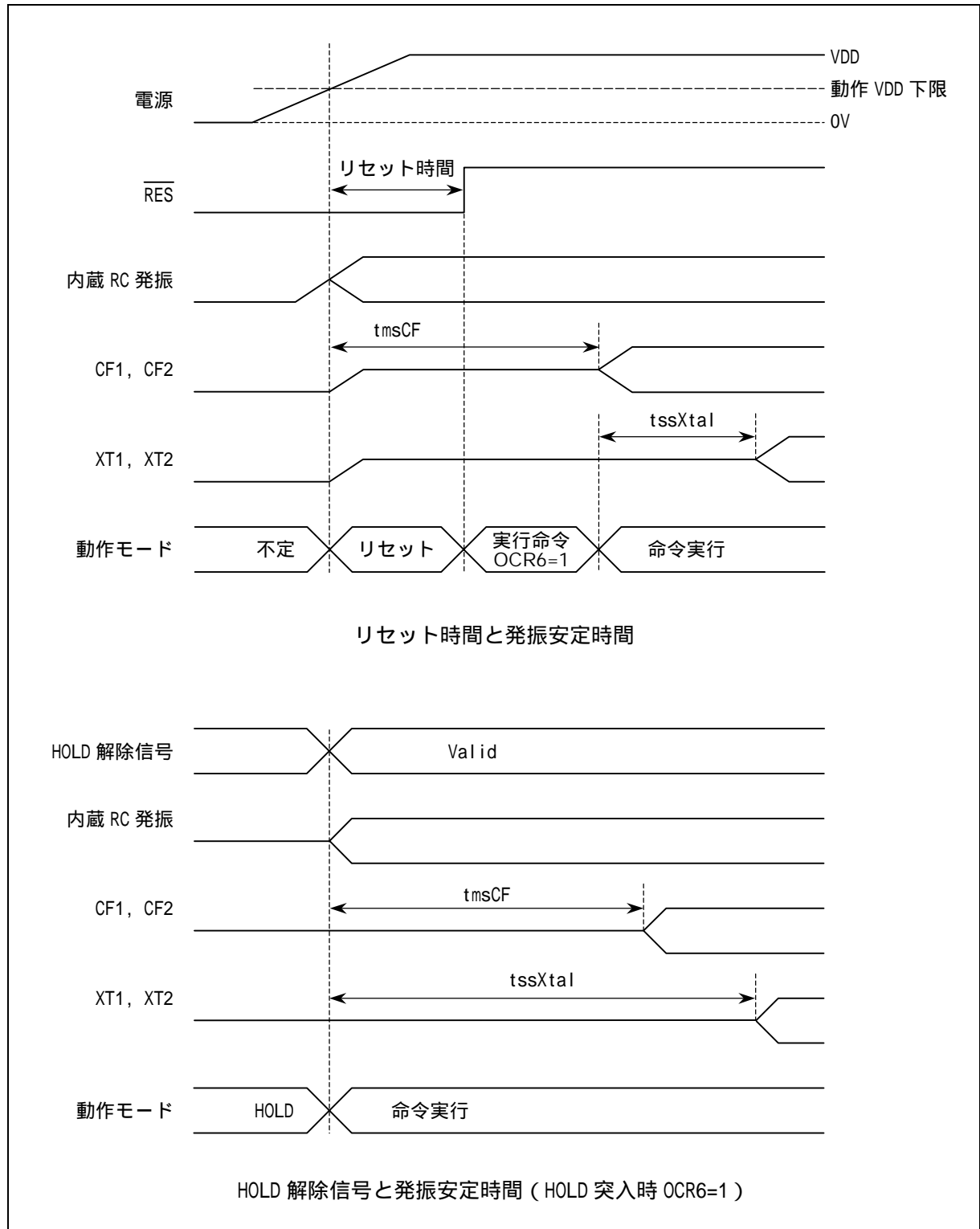


図 3 発振安定時間



図4 リセット回路

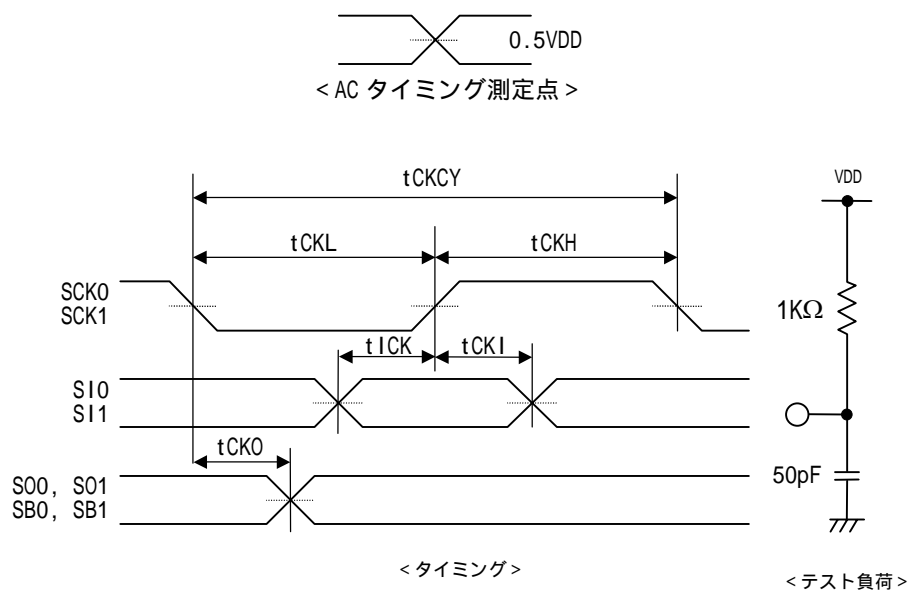


図5 シリアル入出力テスト条件

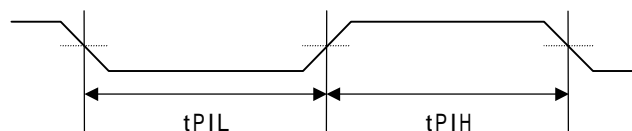


図6 パルス入力タイミング条件

memo:

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。